

V Praze dne 29. 4. 2019

Oznámení o konání obhajoby dizertační práce

Doktorand:	Ing. Jan Pospíšil
Název dizertační práce:	Reliable FPGA Architecture
Doktorský studijní program:	P1801 Informatika
Školitel:	doc. Ing. Jan Schmidt, Ph.D., FIT ČVUT v Praze
Složení komise:	doc. Ing. Hana Kubátová, CSc., FIT ČVUT v Praze (předsedkyně) prof. Ing. Pavel Tvrdík, CSc., FIT ČVUT v Praze (místopředseda) doc. Ing. Štěpán Starosta, Ph.D., FIT ČVUT v Praze prof. Ing. Róbert Lórencz, CSc., FIT ČVUT v Praze doc. Ing. Jiří Jakovenko, Ph.D., FEL ČVUT v Praze doc. Ing. Richard Růžička, Ph.D., MBA, FIT VUT v Brně prof. Ing. Ondřej Novák, CSc., FM TUL, Liberec Assoc. Prof. Luca Sterpone, PhD., Politecnico di Torino University (oponent) Jorge L. Tonfat, PhD., Space Research Institute of the Austrian Academy of Sciences (IWF/OEAW), Graz, Austria (oponent) prof. Ing. Miloš Drutarovský, CSc., KEMT FEI TUKE, Košice (oponent)
Datum a čas:	28. 5. 2019 v 11:30 hod.
Místo:	Fakulta informačních technologií, místnost č. A-1435, 14. patro, Thákurova 7, 160 00 Praha 6

Dizertační práce je k dispozici k veřejnému nahlédnutí na Oddělení pro vědu a výzkum na děkanátu Fakulty informačních technologií ČVUT v Praze, Thákurova 9, 160 00 Praha 6, 3. poschodí, místnost č. 308.

doc. Ing. Štěpán Starosta, Ph.D.
proděkan pro vědu a výzkum

Za správnost: Mgr. Lenka Fryčová, Tel. 224 359 813, e-mail: lenka.frycova@fit.cvut.cz